

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-055614

(43)Date of publication of application : 11.03.1991

(51)Int.Cl.

G06F 1/08

(21)Application number : 01-191771

(71)Applicant : SONY CORP

(22)Date of filing : 25.07.1989

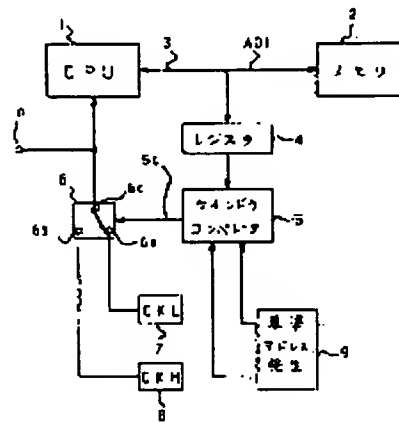
(72)Inventor : HIRAYAMA TOMOHITO

## (54) ELECTRONIC EQUIPMENT

### (57)Abstract:

**PURPOSE:** To reduce the power consumption by supplying a block signal corresponding to a program to an address generating circuit after changing the speed of the block signal based on an address set to a memory in accordance with a desired program.

**CONSTITUTION:** A CPU 1 outputs the address data AD to reads out a desired program to a bus 3. The data AD is supplied to a window comparator 5 via a memory 2 and a register 4. At the same time, the upper limit value of the address data ADi on an idling program Pri is supplied to the comparator 5 from a reference address generating circuit 9. Thus it is decided whether the data AD is kept within a range between the higher and lower limit levels of the data ADi or not. If so, a switch control signal Sc of an H level is outputted to a switch circuit 6 with connection secured between both terminals 6c and 6a and a clock signal CKL of a low speed is supplied to the CPU 1 and other circuits. Then the CPU 1 executes a low speed processing program based on the program Pri.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-55614

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月11日

G 06 F 1/08

7459-5B

G 06 F

1/04

3 2 0 Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 電子機器

⑯ 特 願 平1-191771

⑰ 出 願 平1(1989)7月25日

⑱ 発 明 者 平 山 智 史 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

電子機器

2. 特許請求の範囲

処理速度によって区別される第1、第2のプログラムが格納されるメモリと、

上記メモリに対し、所望のプログラムに対応するアドレスを発生するアドレス発生手段と、

上記アドレスに基づいて、上記所望のプログラムの種別を検知する検知手段とを有し、

上記検知手段からの検知出力に基づいて上記プログラムに対応するクロック信号の速度に切り替え、上記アドレス発生手段に供給するようになったことを特徴とする電子機器。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電子機器、特に電池駆動の、或いは電池駆動モードを有する、ポータブルコンピュータのような電子機器に関する。

(発明の概要)

この発明は、電子機器において、処理速度によって区別される第1、第2のプログラムが格納されるメモリと、メモリに対し、所望のプログラムに対応するアドレスを発生するアドレス発生手段と、アドレスに基づいて、所望のプログラムの種別を検知する検知手段とを有し、検知手段からの検知出力に基づいてプログラムに対応するクロック信号の速度に切り替え、アドレス発生手段に供給するようにしたことにより、メモリに記憶されているプログラムの実行によることなくプログラムのアドレスに基づき、クロック信号の速度を切替えることができて消費電力を低減でき、また、プログラムのスタック数を増すことのないようにしたものである。

(従来の技術)

電池駆動し得る電子機器にあっては、消費電力の低減は重要な問題である。

ところで、このような電池駆動し得る電子機器、

例えば、ポータブルコンピュータでは、一般的に、高機能化が指向されており、高機能化を実現する一つ的手段として、CPUを動作させるクロック信号の速度を増すことが考えられている。CPUのクロック信号の速度の向上は、即ち、ポータブルコンピュータの消費電力の増大となる。

そこで、このようなポータブルコンピュータに於ける高機能化と消費電力低減といった要求を満たすための技術が特開昭63-14215号公報に開示されている。この技術は、速度の異なるクロック信号の切替え命令をプログラム中に入れておき、クロック信号が低速でよい場合は、上述の命令の実行によって低速のクロック信号を選択するものである。

#### 〔発明が解決しようとする課題〕

上述したように、従来の技術では、クロック信号の選択は、メモリに記憶されているプログラムを実行することによって行なわれていた。しかしながら、これによると、ポータブルコンピュータ

が、低速処理用のプログラムの実行の前と後の双方に、クロック信号を切替えるための命令をプログラムしておかなければならず、ステップ数が増えてしまうという問題点があった。

従ってこの発明の目的は、プログラムの実行によることなくプログラムのアドレスに基づいて、クロック信号の速度を切替えることができ、消費電力を低減し得る電子機器を提供することにある。

#### 〔課題を解決するための手段〕

この発明に係る電子機器は、処理速度によって区別される第1、第2のプログラムが格納されるメモリと、メモリに対し、所望のプログラムに対応するアドレスを発生するアドレス発生手段と、アドレスに基づいて、所望のプログラムの種別を検知する検知手段とを有し、検知手段からの検知出力に基づいてプログラムに対応するクロック信号の速度に切り替え、アドレス発生手段に供給するようにした構成としている。

#### 〔作用〕

低速処理用のプログラムがメモリに格納されている。

処理速度が低速でよい時、CPUから、低速処理用のプログラムに対応するアドレスデータが発生される。

このアドレスデータが、プログラムの種別を検知する検知手段に供給され、この検知手段からの検知出力に基づいて、低速処理用のプログラムに対応する速度とされているクロック信号に切替えられる。

この切替えられたクロック信号がCPUに、或いはシステムクロックとして供給される。即ち、この発明では従来、プログラムによって実行されていたクロック信号の切替えが、低速処理用のプログラムのアドレスデータに基づいて行なわれている。

この結果、メモリに記憶されているプログラムの実行によることなくプログラムのアドレスに基づいて、クロック信号の速度を切替えることがで

き、消費電力を低減できる。また、プログラムのステップ数を増すことがない。

#### 〔実施例〕

以下、この発明をポータブルコンピュータに適用した一実施例について第1図及び第2図を参照して説明する。

第1図の構成に於いて、CPU1と、メモリ2とが、双方向性のバス3により、接続されている。

バス3は、時分割的にアドレスバスとデータバスの使い分けがなされているもので、このバス3には、レジスタ4を介してウィンドウコンバータ5が接続されている。

CPU1は、低速処理用のプログラムの実行時、メモリ2に格納されているアイドリングプログラムPriのアドレスデータAD1を、メモリ2及びレジスタ4に供給する。また、このCPU1には、後述のスイッチ回路を介して処理モードの状況に応じた速度のクロック信号が供給される。

メモリ2は例えばプログラムが格納されたRO

Mで、このメモリ2は、第2図に示されるように、例えば、(0000H、Hは16進表示を意味する)番地から(7FFFH)番地まで領域Aとされている。また、(8000H)番地から、例えば、(A000H)番地までは領域Bとされ、アイドルプログラムPriが格納されている。このアイドルプログラムPriは、従来、プログラムの各所に分散されていた低速処理用のプログラムが一個所に集中されたものである。そして、例えば、(A001H)番地から(FFFFH)番地まで領域Aとされている。尚、このメモリ2としては、RAM、ICカード等を用いるようにしてもよい。

スイッチ回路8の端子6aには低速(例えば8MHz)で低速処理時のクロック信号CKLを発生しているクロック発生回路7が接続され、スイッチ回路6の端子6bには高速(例えば16MHz)で通常処理時のクロック信号CKHを発生しているクロック発生回路8が接続されている。

次いで作用を説明する。

CPU1からバス3に所望のプログラムを読み

出すためのアドレスデータADが出力される。このアドレスデータADは、メモリ2及び、レジスタ4を介してウインドウコンバータ5に供給される。

ウインドウコンバータ5には、基準アドレス発生回路9から、アイドルプログラムPriのアドレスデータAD1の上限值(例えば、A000H)と下限値(例えば、8000H)が供給されており、上述のアドレスデータADが、アイドルプログラムPriのアドレスデータAD1の上限值と下限値の範囲内に入るかが検出される。

アドレスデータADが、アイドルプログラムPriのアドレスデータAD1の上限值と下限値の範囲内(即ち、 $8000H \leq AD \leq A000H$ )に入ることが検出された時にのみ、例えば、ハイレベルのスイッチ制御信号Scが、スイッチ回路6に出力される。

上述のハイレベルのスイッチ制御信号Scが、スイッチ回路6に供給されると、スイッチ回路6では端子6c、6aが接続され、低速のクロック

信号CKLが選択され、CPU1に供給される。またこの低速のクロック信号CKLは、端子10を介し、システムクロックとして他の回路、LSI、外部機器等にも供給される。そして、CPU1では読み出されたアイドルプログラムPriに基づいて低速処理用のプログラムが実行される。

このようにして、低速処理用のプログラムの実行時には、アイドルプログラムのアドレスによって、低速のクロック信号CKLに切替えることができ、消費電力を低減することができる。

従って、クロック信号を切替えるための命令を、低速処理用のプログラムの実行の前とその後の双方にプログラムしておかなくともクロック信号の速度を切り替えることができることになり、ステップ数を増すことがない。

また、低速処理用でない他のプログラムを実行する場合は、アドレスデータADが領域A内のアドレスデータとされるため、ウインドウコンバータ5から例えば、ローレベルのスイッチ制御信号Scが、スイッチ回路6に供給される。

この場合には、スイッチ回路6では端子6c、6bが接続され、高速のクロック信号CKHが選択され、CPU1に供給される。この高速のクロック信号CKHは、端子10を介し、システムクロックとして他の回路、LSI、更には外部機器等にも供給される。そして、CPU1では、読み出されたプログラムに基づいて通常速度での処理が行われる。

尚、この実施例の説明では、領域がA、Bの2つに分割され、夫々に対応する速度のクロック信号CKH、CKLを選択するようにしているが、これに限定されるものではなく、例えば、メモリ2に、3つ、或いは4つ、それ以上の領域を設定し、各領域に対応するクロック信号の速度を複数、定義しておけば、目的に応じたシステムの処理速度を自動的に切り替えることもできる。また、アイドルプログラムPriの格納されているアドレスデータADが変化する場合には、基準アドレス発生回路9で形成されるアドレスデータを変化させればよい。

〔発明の効果〕

この発明に係る電子機器によれば、メモリに対し所望のプログラムに対応す アドレスに基づいて、プログラムに対応するクロック信号の速度に切り替え、アドレス発生手段に供給するようにしているので、メモリに記憶されているプログラムの実行によることなく、プログラムのアドレスに基づいて、クロック信号の速度を切替えることができ、消費電力を低減することができるという効果がある。

従って、クロック信号を切替えるための命令を、低速処理用のプログラムの実行の前と後の双方に、予めプログラムしておかなくともクロック信号の速度を切り替えることができ、この結果、ステップ数を増すことがないという効果がある。

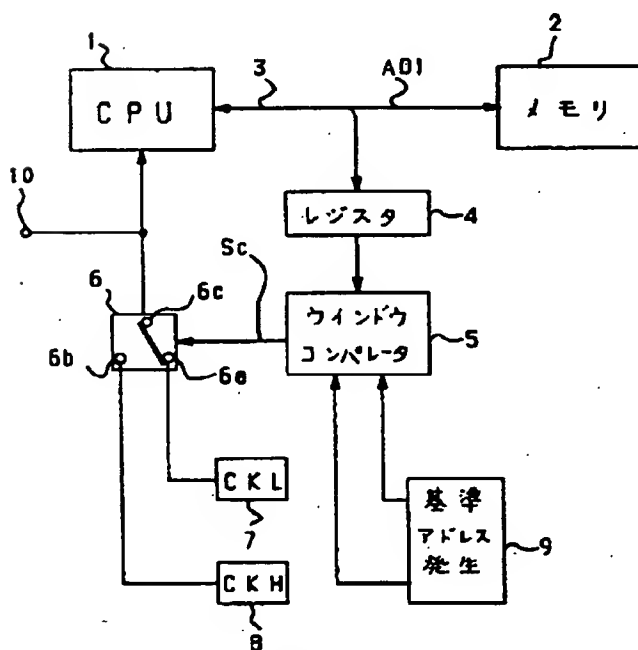
4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図はメモリのアドレスと内容を示す図である。

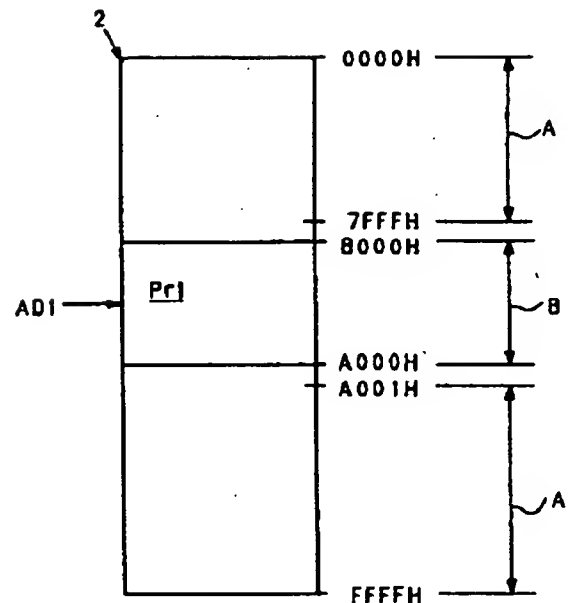
図面に於ける主要な符号の説明

1: CPU、2: メモリ、5: ウィンドウコンパレータ、AD: アドレスデータ、ADI: アドレスデータ、Pri: アイドリングプログラム。

代理人 弁理士 杉 浦 正 知



一実施例  
第1図



メモリの内容とアドレス  
第2図